PATENT ABSTRACTS OF JAPAN

(11)Publication number:

2003-008419

(43) Date of publication of application: 10.01,2003

(51)Int.CI.

H03K 19/0175

(21)Application number : 2001-191557

(71)Applicant: NEC CORP

(22) Date of filing:

25.06.2001

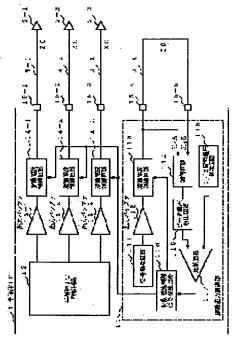
PROBLEM TO BE SOLVED: To solve a problem of a

(72)Inventor: KASHIWAKURA KAZUHIRO

(54) OUTPUT IMPEDANCE MATCHING SYSTEM FOR SEMICONDUCTOR IC

(57)Abstract:

conventional semiconductor IC that has had to take a complicated procedure of adjusting the impedance of an output buffer on each occasion when the characteristic impendence of a wiring pattern is in dispersion. SOLUTION: The semiconductor IC 1 is provided with a drive current control circuit 14-1 that is placed between an output buffer 13-1 at an output of a semiconductor internal circuit 12 and a wiring pattern 3-1, a driving current control circuit 113 that is placed between an output buffer 112 and a dummy wiring pattern 3-4, a subtractor circuit 114 that calculates a digital signal difference across the dummy wiring pattern 3-4, a peak voltage detection circuit 115 that detects a peak of an output difference of the subtractor circuit 114, a comparator circuit 117 that compares the output peak detected value with a reference voltage being an output of a 1/2 power supply voltage generating circuit 116 and a driving current control signal generating circuit 118



that controls the driving current control circuits 14-1, 113 in response to an output of the comparator circuit 117.

LEGAL STATUS

[Date of request for examination]

28.05.2002

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3613206

[Date of registration]

05.11.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

(12) **※** 開特許公裝(Y)

(11)特許出願公開番号

特期2003-8419

平成15年1月10日(2003.1.10) (P2003-8419A)

H03K 19/00

(51) Int Q.

H03K 19/0175

101Q 5J056 テーマコート: (参格)

編長屋の数6 10 (全7頁)

(22) 出版日 (21) 出願権事 平成13年6月25日(2001.6.25) 特爾2001-191557(P2001-191557) (71) 出算人 000004237 (74) 代理人 100082835 (72) 発明者 柏倉 和弘 以金针对

日本電気株式会社 東京都港区芝五丁目7番1号

東京都港区芝五丁目7番1号 日本電気株

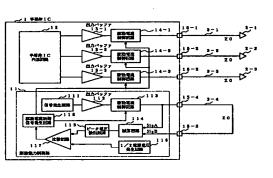
井理士 京本 直樹 (外2名)

Fターム(参考) 5J058 AA05 AA40 8859 CC09 D012 10XX FOCO 90EE

(54) 「発売の名字] 半導体 I Cの田ガインパーダンス報合方式

た場合、その想度出力スッファのインパーダンスを顕数 【展題】記様スターンの称在インパーダンスだぶのして

仮配線パターン3~4両端の信号差分を算出する演算回 路111と、出力バッファ112と疑仮配線パターン3 動電流制御信号発生回路118とを備える。 応じて駆動電流制御回路14-1,113を制御する駆 とを比較する比較回路117と、比較回路117出力に 検出値と1/2電源電圧発生回路116出力の基準電圧 するパークの圧奏出回路115と、その出力のパーク値 路114と、減算回路114出力差分のピーク値を検出 流制御回路14-1と、疑似信号を発生する信号発生回 ー4との間に設けられる駆動の流制御回路113と、疑 3-1と配換パターン3-1との間に扱けられる緊動包 【解決手段】半導体内部回路12出力の出力パッファ1



【請求項1】 半導体10の第1の信号出力竭から電気

号線との特性インパーダンスの整合をとる第1のインパ 間に設けられ前記半導体 I Cの内部回路と前記第 1 の信 前記半導体ICの内部回路と前記第1の信号出力端との ーダンス整合手段と、

前記半導体1 Cの信号入力端と第2の信号出力端とを結

与液形を比較してその比較情報に基心いた第1の制御信 **前記第2の信号出力場と前記信号入力場とにおける両標** 手段と同一の第2のインピーダンス整合手段と、 パーダンスの数合をとる危討院1のインパーダンス数合 られ前記信号発生手段と前記第2の信号線との特性イン 前記信号発生手段と前記第2の信号出力端との間に設け

するインピーダンス制御信号発生手段と、 ンピーダンス整合手段を駆動する第2の制御信号を発生 **拒記第1の制御信号に基心いて前記第1および第2のイ**

ンス整合方式。 を備えることを特徴とする半導体ICの出力インピータ

請求項1記載の半導体ICの出力インパーダンス整合方 合手段が電界効果トランジスタであることを特徴とする

【請求項3】 前記信号比較手段が、前記両信号波形の

の出力インピーダンス整合方式。 ことを特徴とする請求項1あるいは3記載の半導体1C 分のピーク値亀圧を検出するピーク値検出回路を備える ートの版幅差分あるいは前記アンダーシュートの版幅差

発生回路を備えることを特徴とする請求項 5 記載の半導 として低源電圧の半分の電圧を供給する1/2電源電圧 【請求項6】 前記鑑圧比較回路が、前記しきい値鑑圧

導体10の出力インピーダンス整合方式において、 的負荷を備えた第1の信号線へ信号を伝達する場合の半

生する信号発生手段と、 前記半導体 I Cの内部回路の出力信号と同一の信号を発

ぶ前記第1の信号線と電気的特性が同一の第2の信号線

号を出力する信号比較手段と、

【請求項2】 前記第1および第2のインピーダンス整

とを特徴とする請求項1記載の半導体10の出力インピ ダーシュートの版幅整分を算出する域算回路を備えるこ 立上り部分のオーバーシュートあるいは立下り部分アン

【請求項4】 前記信号比較手段が、前記オーバーシュ

1 あるいは4記載の半導体1 Cの田カインピーダンス数 力する低圧比較回路とを備えることを特徴とする請求項 電圧と比較してその結果を前記第1の制御信号として出 回路出力の前記ピーク値電圧を予め決められたしきい値 【請求項5】 前記信号比較手段が、前記ピーク値検出

体1Cの出力インピーダンス整合方式。

3

徐熙2003-8419

[0001]

シファと半導体 I C外の配線パターンとの間のインパー 方式に関する。 ダンス整合をとる半導体 I Cの出力インピーダンス整合 ンピーダンス整合方式に関し、特に半導体ICの出力パ 【発明の属する技術分野】本発明は半導体ICの出力イ

パターンの特在インパーダンスを観節した信号伝送する が、プリント配線基板のロットばらしきによっては、配 か、あるいは、出力パッファの直後に抵抗器(ダンピン カバッファの駆動電流を変えなければならない場合もあ 線パターンの特性インピーダンスが設計値と異なり、出 プログラマブルにかえられるデバイスも使用されている スに合わせる手法をとっていた。近年では、駆動電流が **グ抵抗)を接続した、配線パターンの条件インパーダン** C)の出力パッファは駆動電流が固定されており、配線 【従来の技術】一般に半導体集積回路(以下、半導体 1

11-017518号公報や特開平10-261948 送信娼や受信娼の亀圧を検出し、2つのしきい値の間に 号公報があるが、これらの先行技術は、出力バッファの へるように出力インパーダンスを慰御する構成をとって 【0003】これらを解決する先行技術として、特開平

[0004]

ムソパーダソスやの名めれ、吸銘包に田七人ソパーダソ のに時間を費やすという問題がある。 スを変化させるため、最適な出力インピーダンスを得る く、散計者の経験にかかってくる。また、最適な出力イ 技術は、このしきい値電圧を決めるのに明確な方法がな ンピーダンスを決定するために最小(または最大)出力 【発明が解決しようとする課題】しかし、これらの先行

製作を保証し、最適な丑力インピーダンスを称るいとに ICの再製作やダンピング抵抗の追加をセずに安定した 【0005】従って、本発明の目的は、このような配象 *ターンの特在インパーダンスが耳のしてれる、半導体

[0006]

の第2の信号線と、前記信号発生手段と前記第2の信号 の出力インピーダンス整合方式は、第1に、半導体10 整合をとる第1のインピーダンス整合手段と、前記半導 号出力端とを結ぶ前記第1の信号線と電気的特性が同一 体ICの内部回路の出力信号と同一の信号を発生する信 内部回路と前記第1の信号線との特性インピーダンスの 記第1の信号田力婦との間に扱けられ前記半導体ICの ンス整合方式において、前記半導体10の内部回路と前 線へ信号を伝達する場合の半導体 I Cの出力インピータ の第1の信号田力竭から臨気的負荷を備えた第1の信号 号発生手段と、前記半導体 I Cの信号入力場と第2の信 【課題を解決するための手段】本発明による半導体IC

1

信号被形の立上り部分のオーバーシュートあるいは立下 ソス整合方式は、第3に、前記信号比較手段が、前記両 【0008】本発明による半導体1Cの出力インピータ ーダンス整合手段が電界効果トランジスタである。 ンス整合方式は、第2に、前記第1および第2のインピ

り部分アンダーシュートの振幅差分を算出する波算回路

トの版稿拠分のパーク値属圧を検出するパーク値検出回 **- パーシュートの版幅差分あるいは前記アンダーシュー** ンス整合方式は、第4に、前記信号比較手段が、前記オ 【0009】本発明による半導体ICの出力インピータ

たしきい値電圧と比較してその結果を前記第1の制御信 **歩として出力する60円比較回路とを備える。** - ク値検出回路出力の前記に一ク値低圧を予め決められ ンス整合方式は、第5に、前記信号比較手段が、前記ピ 【0010】本発明による半導体ICの出力インピータ

きい値亀圧として低級亀圧の半分の亀圧を供給する1/ 2億級低圧発生回路を備える。 ソス整合方式は、第6に、前記館圧比較回路が、前記し 【0011】本発明による半導体1Cの出力インピータ

疑似配線パターン3-4両端の疑似信号波形の立上り朗 路111からの疑囚信号を信号出力端15-4から信号 路12が出力する信号を擬似的に発生する信号発生回路 する入力バッファ2-1~2-3と、半導体IC内部回 出力増子 1 5 — 1 ~ 1 5 — 3 を介して接続される配線パ 流麪御回路14-1~14-3と、それらの出力と信号 は、半導体IC内部回路12の出力側の出力パッファ1 ロック図を参照すると、本発明の半導体ICの出力回路 分のオースーシュートあるいは立下り雋分のアンダーシ 入力幅15-5に折り返す疑仮配線パターン3-4と、 十る疑動観光便御回路113と、その出力の信号発生回 2 と、田 カスッファ 1 1 2 の田 ガインパーダンス を飼掘 ~13-3と同一概館・特性を有する出力パッファ11 111と、その出力に接続される出力パッファ13-1 ターン3-1~3-3と、それらの配模パターンを禁縮 3-1~13-3と、それらの出力に接続される駆動の 【0013】本発明の第1の実施の形態を示す図1のフ 【発明の実施の形態】次に図面を参照して説明する。 š

> 路118とを備える。 配流制御回路 1 1 3 〜供給する駆動配流制御信号発生回 換して駆動電流制御回路14-1~14-3および駆動 17と、その出力の差分フベルを駆動電流制御信号に変 圧値とを比較して差分レベルとして出力する比較回路 1 のピーク値と1/2艦頭艦圧発生回路116の半分の電 電圧発生回路116と、減算回路114出力の差分信号 15と、電源電圧の半分の電圧値を発生する1/2電源 力の差分信号の最大値を検出するピーク電圧検出回路! ュートのレベル差を算出する波算回路114と、その出

との整合在について説明する。 **カインパーダンスと配線スターンの特在インパーダンス**

で達しない集積回路の場合は、前記式のVDDの代わり D/2である必要がある。なお、信号版幅が電源電圧ま D×20/(Z0+R0)なる臨圧レベルとなり、この にその振幅電圧を使用すれば同様の効果がある。 理想であり、送娼婦で発生する鶴圧は、前記式よりVD め、ここで反射液は終結する。すなわち、R0=20が が生じるが、RO=ZOなる条件では整合条件となるた れた信号は、送信娼で20とR0との関係でさらに反射 受けた信号は、送信婦へ向けて反射される。その反射さ 放べあるため、入力インピーダンスが無限大や、いいで を伝搬していへ。そして、その受信婦は通常僞気的に賜 6月フスラが伝送路上、 6まり 111 での記録パターン上 蟷蟷での出力信号は、Z0とR0により分圧され、VD ベッファの田力インピーダンスをR0とすると、その送 インピーダンス20の伝送線路が接続された場合、出力 る。しかし、出力パッファに配線パターンのような特性 接地配位(アース)と電源配位(電源=VDD)であ

形を示している。この「法信婦―受信婦」の波形から カバッファ13-1~13-3の田カインピーダンスが 海回路14-1~14-3にフィードバックすれば、出 圧値とを比較し、この差分を制御信号として駆動低流制 きる。したがって、このピーク値と低級電圧の半分の電 値(最大値)がVDD/2と一致していることが確認で インピーダンスが整合した場合には、演算結果のピーク 信娼の液形、および「送信娼ー受信娼」の演算結果の液 している。そして、いれの各図には、波猛猛の液形、段 小さいときが図6にそれぞれシミュレーション結果を示 **特有インパーダンスに氏く丑七くシレナの丑七インパー** の配圧であることを検出する方法について説明する。 ダンスが、大きいときが図4に、同一のときが図5に 【0017】図4、図5およU図6は、配線パターンの 【0016】さらに、送媼媼での出力信号がVDD/2

検出回路115は、演算増幅器実現できる。 【0018】ここで、滅算回路114およびピーク電圧

【0019】灰に、図3を参照した動作の詳細にしいて

【0014】続いて、動作について説明する。まず、出

【0015】通常CMOS出力パッファの出力信号は、

14-1~14-3として電解効果トランジスタ(FE イン・ソース間のインパーダンスが仮化する味子らめ T)を用いる。このFETは、ゲート電圧に応じてドレ 【0020】図3では、図1で示した駆動電流制御回路

御は、出力パッファの電源投入時に、1回実行すること で、全ての出力パッファの駆動電流が自動調整されるも

路115では、電源電圧の半分より小さな電圧が保持さ 図4のような液形が観測される。このとき液形sig. 性があるからである。従って最初の疑似信号伝送では、 分のアンダーシュート)で受信回の頭亀圧を越える可能 形の立上り部分のオーバーシュート(あるいは立下り部 ダンスを小さくしようとする。 ゲート館圧を上昇させ、ドレイン・ソース間のインピー 号発生回路118を通じて、駆動電流制御回路113の i 8 · B] <電源電圧/2の判定をし、駆動電流制御信 れる。このため、比較回路117では「sig.Ais Aと波形sig.Bとの信号整分からピーク電圧検出回 ーダンスが予想より遙かに大きい場合に、反射による波 まつい。いわは、隣辺配様パターン314の特在インド ピーダンスは高め、すなわち、駆動電流が小さい方が望 動する。初期状態では、駆動臨流制御回路113のイン 動能力調整用に引き出した疑似配線パターン3-4を駆 御回路113を通して信号出力端子15-4を介して駆 れた疑似信号は、出力バッファ112および駆動電流制 【0022】詳述すると、信号発生器111から出力さ

圧を低原低圧/2に近づけようとする。 臨圧が上昇し、「sig. A-sig. B」のピーク電 電流制御回路113を通した送端被形(sig. A)の 【0023】その結果、出力バッファ112および駆動

のゲート亀圧を下降させ、ドワイン・ソース間のインで 御信号発生回路118を通じて駆動電流制御回路113 電流が大きい場合には、比較回路117で「sig.A ーダンスを大きくしようとする。 - s i g . B] >偏級低圧/2の判定をつ、駆動低流矩 【0024】逆に、駆動電流慰御回路113のドレイン ・ソース間のインピーダンスが小さへ、すなわち、緊動

なわち、図5のような安定した被形を得ることができ 的には「sig. A—sig. B」=QQQQE/2、す 【0025】これらの動作を繰り返すことにより、最終

1~13-3の駆動偏流を最適化することができる。す 機能を持たせることにより、全ての出力パッファ13-に最終的な駆動電流制御回路 1 1 3のゲート電圧の保持 S

抵抗分圧することにより実現でき、比較回路8は演算増 る。また、1/2電源電圧発生回路116は電源電圧を

【0021】本発明における出力バッファの駆動電流制

【0026】ここで、駆動電流制御信号発生回路118

 $\widehat{\mathbf{x}}$

祭開2003−8419

および信号出力端子 1 5 - 1 ~ 1 5 - 3 を通して配験パ - 1 ~ 1 3 - 3 と緊動促洗制御回路 1 4 - 1 ~ 1 4 - 3 なわち、半導体IC内部回路12から出力パッファ13 ターン3-1~3-3~と出力される信号は全て最適化

て図 2 を参照して説明する。 【0027】続いて、本発用の第2の実施の形態につい

接続された場合である。これらの入力パッファ2-4~ る。そこで、疑仮配線パターン3-4にも同様に入力パ い駆動電流の調整が可能となる。 3-1~3-3に複数の入力パッファ2-4~2-9が ッファ2-10~2-11を接続することで、精度の良 **めて、降角名に称有インパーダンスが下がることがあ** 2-9が多数配線パターン3-1~3-3上に接続され 【0028】図2の第2の実施の形態は、配線パターン

[0029]

配線基板を使用することができる。 値になるが、本発明を利用することによりロット間のは **しきをなくすための高精度のプリント配線板は非常に着 様パターソの特在インパーダンス精度のロシト間のばら** を行うことが可能となる。また、プリント配線基板の配 特性インパーダンスを全へ気にしないた基板の配線数割 作速度を高速にすることが可能であるとともに、配線の らつきを全へ気にする必要がないため、安価なプリント スに自動的に合わせこむことにより、波形が安定し、動 7.の野勢病力や巣際の阻礙 パターンの特有 インパーダン 【図面の簡単な説明】 【発明の効果】このように本発明によれば、出力パッフ

回路やボヤブロック図れめる。 【図1】本発明の第1の実施の形態の半導体ICの出力

回路を示すプロック図である。 【図2】本発明の第2の実施の形態の半導体1 Cの出力

回路を示す具体的なブロック図である。 【図3】本発明の第1の実施の形態の半導体1 Cの出力

第1の信号被形シミュワーション結果を示す被形図れめ 【図4】同実施の形態における半導体ICの出力回路の

第2の信号政形シミュワーション結果を尽す政形図れめ 【図5】同実施の形態における半導体1 Cの出力回路の

第3の信号政形ツミュワーション結果やボナ政形図にめ 【図6】同実施の形態における半導体 I Cの出力回路の

【符号の説明】 升貨杯I C

3 - 4 3-1~3-3 配線パターン $2-1 \sim 2-3$ 疑似配線パターン 入力パッファ

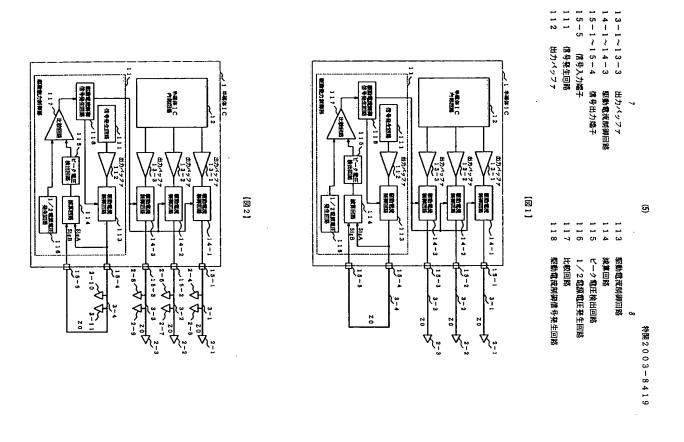
1 2 半導存 I C 内部回路 駆動能力制御部

-4-



4





[⊠3]

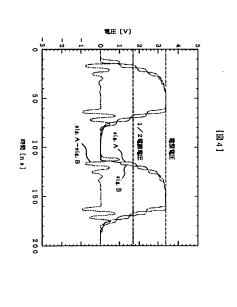
ම

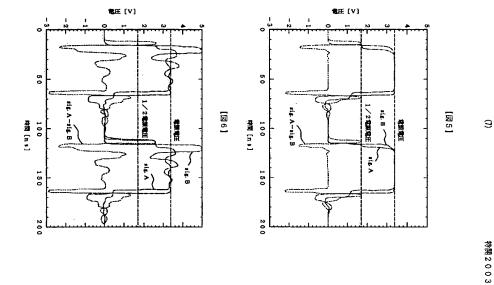
特開2003-8419

HIS RESIDENCE

20

7=





درو